

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-075133
 (43)Date of publication of application : 26.03.1993

(51)Int.CI. H01L 29/788
 H01L 29/792

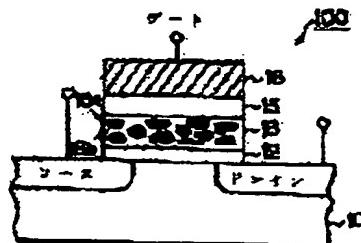
(21)Application number : 03-231877 (71)Applicant : ROHM CO LTD
 (22)Date of filing : 11.09.1991 (72)Inventor : NAKAO HIRONOBU

(54) NON-VOLATILE MEMORY

(57)Abstract:

PURPOSE: To maintain firmly low write voltage and a total amount of trapped charges to a satisfactory extent and prevent the injection of charges from a gate electrode simultaneously in a non-volatile memory device.

CONSTITUTION: There are formed subsequently a silicon oxide film 12, a silicon oxide/nitride mixed film 18, a silicon oxide film 15 and a polysilicon film 16 on a silicon substrate 10. The silicon oxide/nitride mixed film 18 is sputtered so as to form a silicon-excess silicon oxide film where the film is etch-backed so that a silicon precipitation region may be exposed and formed by nitriding process under an enhanced nitrogen atmosphere. There exist a large number of interfaces between the silicon oxide region and a silicon nitride region on the silicon oxide/nitride film 18. A large amount of charges from the silicon substrate 10 are stored on these interfaces so as to write data therein. The silicon oxide film 15 inhibits the injection of charges from the polysilicon electrode 16 and prevents the deterioration of the silicon oxide film 12.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-75133

(43)公開日 平成5年(1993)3月26日

(51)Int.Cl.

H 01 L 29/788
29/792

識別記号

厅内整理番号

F I

技術表示箇所

8225-4M

H 01 L 29/78

371

審査請求 未請求 請求項の数1(全4頁)

(21)出願番号

特願平3-231877

(22)出願日

平成3年(1991)8月11日

(71)出願人 000116024

コーム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 中尾 広宣

京都府京都市右京区西院溝崎町21番地
コーム株式会社内

(74)代理人 弁理士 吉田 研二 (外2名)

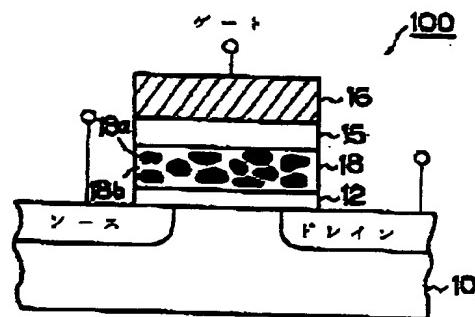
(54)【発明の名称】 不揮発性記憶装置

(57)【要約】

【目的】 不揮発性記憶装置において、低電圧かつ充分な捕獲電荷総量を確保し、同時にゲート電極からの電荷の注入を防止する。

【構成】 シリコン基板10上に順次シリコン酸化膜12、シリコン酸化／窒化混在膜18、シリコン酸化膜15、ポリシリコン電極16が形成される。シリコン酸化／窒化混在膜18はシリコン過剰なシリコン酸化膜をスパッタ形成し、エッチバックしてシリコン析出領域を露出させて窒素雰囲気で窒化処理することにより形成される。シリコン酸化／窒化混在膜18はシリコン酸化領域とシリコン窒化領域との界面が多数存在し、この界面にシリコン基板10からの電荷を多數蓄積してデータを書き込む。シリコン酸化膜15はポリシリコン電極16からの電荷注入を抑制し、シリコン酸化膜12の劣化を防止する。

図 1



【特許請求の範囲】

【請求項1】 ソース領域及びドレイン領域が形成された半導体基板と、この半導体基板のゲート領域上に形成された第1のシリコン酸化膜と、この第1のシリコン酸化膜上に形成されたシリコン酸化領域とシリコン窒化領域が混在するシリコン酸化／窒化混在膜と、このシリコン酸化／窒化混在膜上に形成された第2のシリコン酸化膜と、この第2のシリコン酸化膜上に形成された電極と、を有することを特徴とする不揮発性記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は不揮発性記憶装置、特に低電圧書き込み可能な不揮発性記憶装置に関する。

【0002】

【従来の技術】 不揮発性記憶装置は P R O M (Programmable Read Only Memory) として用いられる等、汎用 L S I の用途を広げる重要なデバイスとなっている。

【0003】 図4には不揮発性記憶装置の一例としてM N O S (Metal Nitride Oxide semi-conductor) メモリが示されている。M N O S メモリはドレイン領域及びソース領域が形成されたシリコン基板10上に順次シリコン酸化膜12、シリコン窒化膜14、アルミニウム電極16を積層して構成されるメモリである。シリコン酸化膜12は通常電流を流さないが、シリコン酸化膜12を極薄膜に形成して高電圧を印加するとトンネル現象により電流が流れようになる。そして、この電流をシリコン窒化膜14で受けとめるとシリコン窒化膜14とシリコン酸化膜12との界面付近からシリコン窒化膜14内部にかけて電荷が捕獲される現象が生じる。このように電荷が捕獲された状態では、この捕獲された電荷を打ち消すだけの余分な電圧を印加しない限りドレイン電流は流れず、また電圧を印加しない状態でも捕獲された電荷は消失しない。従って、このドレイン電流が流れ／流れない状態をデータの1ビットに対応させることにより不揮発性記憶装置として機能する。

【0004】 具体的には、図4に示すようにデータ書き込時にはゲート電極に5V以上（通常25V程度）の電圧を印加して電荷をシリコン窒化膜14に捕獲し、データ読み出時にはゲート電極及びドレイン電極に5Vを印加してドレイン電流の有無を検出する。

【0005】

【発明が解決しようとする課題】 このように、従来のM N O S メモリでは電気的に書き込、消去を行うことができるが、書き込電圧が25Vと高電圧である問題があった。

【0006】 そこで、このようなM N O S メモリを改良し、書き込電圧を25V以下にするM O N O S (Metal Oxide Nitride Oxide Semiconductor) メモリが提案されて

いる。図5にはこのM O N O S メモリの構成が示されており、ドレイン領域及びソース領域が形成されたシリコン基板10上に順次シリコン酸化膜12、シリコン窒化膜14、シリコン酸化膜15、ポリシリコン電極16を積層して構成される。このようにシリコン窒化膜14とポリシリコン電極16との間にシリコン酸化膜15を形成するとポテンシャル的にシリコン窒化膜14の両側に障壁が形成され、シリコン基板から注入される電荷の捕獲効率が向上する。すると、M N O S メモリでのシリコン窒化膜14の薄膜化の限界を取り除くことができる。シリコン窒化膜の薄膜化を進めて低電圧動作が可能となるが、このような極薄膜化による捕獲総量の減少は無視できないものであり、またシリコン窒化膜の厚さを最適化しても動作が不安定で良好な特性を得ることが困難である問題があった。

【0007】 本発明は上記従来技術の有する課題に鑑みたものであり、その目的は充分な捕獲総量を確保するとともに低電圧書き込み可能な不揮発性記憶装置を提供することにある。

【0008】

【課題を解決するための手段】 上記目的を達成するために、本発明の不揮発性記憶装置は、ソース領域及びドレイン領域が形成された半導体基板と、この半導体基板のゲート領域上に形成された第1のシリコン酸化膜と、この第1のシリコン酸化膜上に形成された、シリコン酸化領域とシリコン窒化領域が混在するシリコン酸化／窒化混在膜と、このシリコン酸化／窒化混在膜上に形成された第2のシリコン酸化膜と、この第2のシリコン酸化膜上に形成された電極とを有することを特徴とする。

【0009】

【作用】 本発明の不揮発性記憶装置はこのような構成をなし、シリコン酸化領域とシリコン窒化領域が混在した混在膜では、電荷を捕獲する界面が多数存在するため、薄膜化を行っても捕獲電荷総量を増大させることができる。

【0010】 また、混在膜と電極間に設けられたシリコン酸化膜により、電極から注入される電荷（シリコン基板から注入される電荷と逆極性）が内部に侵入するのを防止し、この電荷によるシリコン基板上のシリコン酸化膜の劣化を抑えることができる。

【0011】

【実施例】 以下、図面を用いながら本発明に係る不揮発性記憶装置の好適な実施例を説明する。

【0012】 図1には本実施例の断面図が示されている。シリコン基板10をドライ酸化してシリコン酸化膜12が形成される。次に化学量論的組成に比べてシリコンが過剰なシリコン-richなシリコン酸化膜をスパッタ法により形成し、エッチバックしてシリコン析出領域を表面露出させ、窒素及びアンモニア雰囲気中でシリコン析出領域を窒化する。このスパッタによる膜形成プロ

(3)

特開平5-75133

ロセス、エッチバックプロセス、塗化プロセスを繰り返すことによりシリコン酸化／塗化混在膜18が形成される。そして、このシリコン酸化／塗化混在膜18上にCVD法によりシリコン酸化膜16を形成し、さらにポリシリコン電極16をシリコン酸化膜16上に形成する。最後にイオンインプランテーション法によりシリコン基板10にソース領域及びドレイン領域を形成する。

【0013】このような構成において、ゲートに6V程度の正電圧を印加するとシリコン基板10からシリコン酸化／塗化混在膜18に電子が捕獲され電荷が蓄積する。この蓄積される電荷は図2のエネルギーバンド図に示されるようにシリコン酸化領域18aとシリコン塗化領域18bの界面準位及びシリコン酸化膜12とシリコン領域18aの界面準位が形成するボテンシャルの井戸中に高密度に蓄積されてデータが書き込まれる。

【0014】一方、データを読み出す場合には従来と同様にゲート及びドレインに5Vの電圧を印加し、ドレイン電流の有無を検出すればよい。

【0015】なお、図3には本実施例の不揮発性記憶装置100を用いた回路構成が示されており、所望のワード線104を介して不揮発性記憶装置100にデータを書き込み、所望のビット線102を介して所定の電圧を印加しデータを読み出すことができる。

【0016】このように、本実施例の不揮発性記憶装置はシリコン酸化膜—シリコン酸化／塗化混在膜—シリコン酸化膜のサンドイッチ構造となっているが、シリコン酸化／塗化混在膜18のシリコン過剰領域は導電体であり、絶縁性が充分でないが、過剰なシリコンを塗化したシリコン塗化領域18bにより良好な絶縁性が得られ、下層のシリコン酸化膜12を薄くすることができる。また、このシリコン酸化／塗化混在膜18の誘電率は高くなり、下層のシリコン酸化膜12への分圧比（一定ゲート電圧印加時の2層の絶縁膜の分圧比）が大きくなるので電荷注入が比較的容易となる。さらに、シリコン酸化膜とシリコン塗化膜とではシリコン酸化膜の電荷の移動

度が小さく、従ってこれら2領域が混在するシリコン酸化／塗化混在膜18は従来の単なるシリコン塗化膜に比べて薄膜化が可能となり、低書き込電圧が実現する。

【0017】さらに、正のゲート電圧印加時にはポリシリコン電極16からホールが注入されるが、シリコン酸化膜15のエネルギー障壁が8eVと高いため、ホールの内部への注入を防止することができ、ホール注入によるシリコン酸化膜12の劣化を抑制することができる。

【0018】このように、本実施例における不揮発性記憶装置はシリコン基板から注入される電荷を極めて薄いシリコン酸化／塗化混在膜で多数捕獲し、かつこの混在膜と電極間に形成されたシリコン酸化膜で電極から注入される電荷を防止することができるので、低書き込電圧かつ安定動作を同時に実現することができる。

【0019】

【発明の効果】以上説明したように、本発明に係る不揮発性記憶装置によれば、シリコン酸化／塗化混在膜に電荷を捕獲する際、界面が多数形成されているために捕獲電荷総量を増大させることができるとともに、この混在膜を薄膜化して書き込電圧を低く設定することができる。

【0020】また、混在膜と電極間に配置されたシリコン酸化膜により電極からの電荷の注入を防止し、劣化を抑制することができる。

【図面の簡単な説明】

【図1】本発明の一実施例の断面図である。

【図2】同実施例のエネルギーバンド図である。

【図3】同実施例の回路図である。

【図4】従来装置の断面図である。

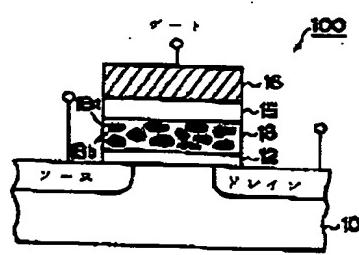
【図5】他の従来装置の断面図である。

【符号の説明】

- 10 シリコン基板
- 12 シリコン酸化膜
- 15 シリコン酸化膜
- 16 ポリシリコン電極
- 18 シリコン酸化／塗化混在膜

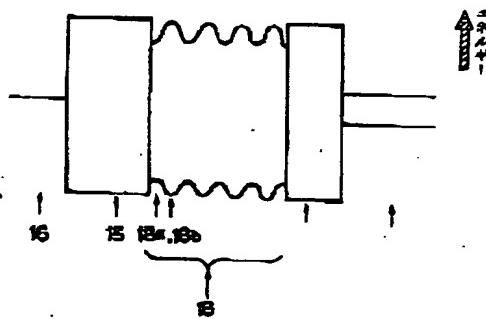
【図1】

図1



【図2】

図2

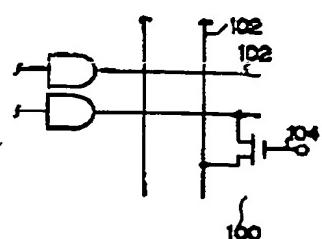


(4)

特開平5-75133

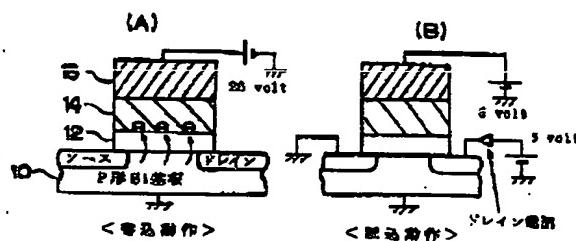
【図3】

図3



【図4】

図4



【図5】

図5

